

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-070332

(43)Date of publication of application : 12.03.1996

(51)Int.Cl.

H04L 27/38  
H04L 7/00  
H04L 7/033

(21)Application number : 06-204948

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.08.1994

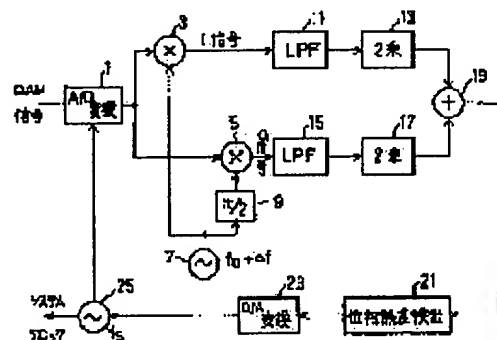
(72)Inventor : SUGITA YASUSHI  
NISHIKAWA MASAKI

## (54) CLOCK REPRODUCTION DEVICE

## (57)Abstract:

PURPOSE: To perform clock reproduction not influenced by the operation of a waveform equalization circuit.

CONSTITUTION: An A/D converter 1 samples QAM signals at the timing of clocks from a clock oscillator 25 and first and second multipliers 3 and 5 quasi-synchronously orthogonally detect the output of the A/D converter 1 by detection signals from a local oscillator 7 and a  $\pi/2$  phase shifter 9 and obtain I signals and Q signals. A first LPF 11 excludes a high band component from the I signals and a first square computing element 13 squares the output. A second LPF 15 excludes the high band component from the Q signals and a second square computing element 17 squares the output. An adder 19 adds the output of the first and second square computing elements 13 and 17 and extracts a clock frequency. A phase error detection circuit 21 detects an error corresponding to a clock frequency deviation and a phase deviation at the time of sampling from the output of the adder 19 and a D/A converter 23 replaces the amount of the error with the strength of analog signals. The clock oscillator 25 converts an oscillation frequency  $f_s$  corresponding to signal strength from the D/A converter 23. The clocks generated in the clock oscillator 25 also become system clocks.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70332

(43) 公開日 平成8年(1996)3月12日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H04L 27/38

7/00

F

7/033

9297-5K

H04L 27/00

G

7/02

B

審査請求 未請求 請求項の数 4 O L (全8頁)

(21) 出願番号 特願平6-204948

(22) 出願日 平成6年(1994)8月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉田 康

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

(72) 発明者 西川 正樹

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

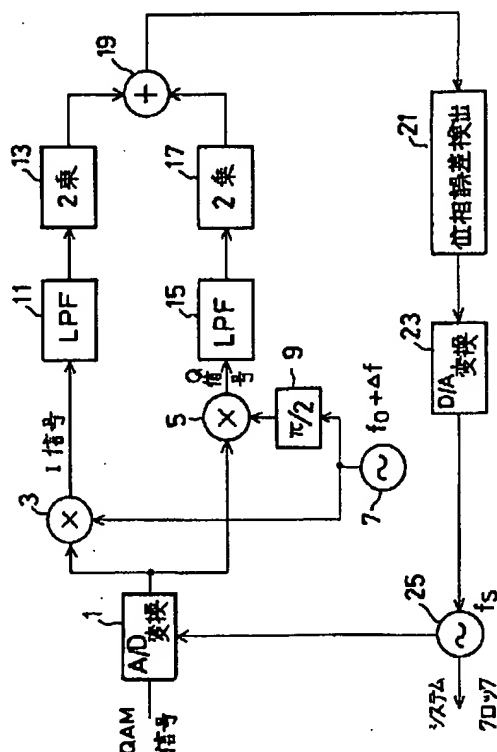
(74) 代理人 弁理士 大胡 典夫

(54) 【発明の名称】 クロック再生装置

(57) 【要約】

【目的】 波形等化回路の動作に左右されないクロック再生を行う。

【構成】 A/D変換器1は、QAM信号をクロック発振器25からのクロックのタイミングでサンプリングする。第1と第2の乗算器3、5は、局部発振器7や $\pi/2$ 移相器9からの検波信号により、A/D変換器1の出力を準同期直交検波し、I信号とQ信号を得る。第1のLPF11は、I信号から高域成分を除き、第1の2乗演算器13はその出力を2乗する。第2のLPF15は、Q信号から高域成分を除き、第2の2乗演算器17はその出力を2乗する。加算器19は、第1と第2の2乗演算器13、17の出力を加算して、クロック周波数を抽出する。位相誤差検出回路21は、加算器19の出力からサンプリング時のクロック周波数ずれ及び位相ずれに見合った誤差を検出し、D/A変換器23はその誤差の量をアナログ信号の強度に置き換える。クロック発振器25は、D/A変換器23からの信号強度に見合った発振周波数 $f$ を変換させる。このクロック発振器25で発生するクロックは、またシステムクロックともなる。



## 【特許請求の範囲】

【請求項 1】 多値 QAM 復調のクロック再生装置において、

入力 QAM 信号を準同期検波して I 軸信号及び Q 軸信号を得る直交検波手段と、

前記直交検波手段からの I 軸信号のスペクトルを整形する第 1 の低域通過フィルタと、

前記直交検波手段から Q 軸信号のスペクトルを整形する第 2 の低域通過フィルタと、

前記第 1 の低域通過フィルタの出力を 2 乗する第 1 の演算手段と、

前記第 2 の低域通過フィルタの出力を 2 乗する第 2 の演算手段と、

前記第 1 及び第 2 の演算手段の出力の和をとってクロック成分を抽出する加算手段と、

前記加算手段の出力からクロック位相誤差を検出する位相誤差検出手段と、

前記位相誤差検出手段からの出力に応じて発振周波数を変化するクロック発振手段とを具備したことを特徴とするクロック再生装置。

【請求項 2】 前記位相誤差検出手段は、

前記加算手段の出力を 1 クロック時間遅延させる第 1 の遅延手段と、

前記第 1 の遅延手段の出力を 1 クロック時間遅延させる第 2 の遅延手段と、

前記加算手段の出力と前記第 2 の遅延手段の出力を加算平均する第 1 の加算平均手段と、

前記第 1 の遅延手段の出力から前記加算平均手段の出力を減算する第 1 の差分手段と、

前記第 2 の遅延手段の出力から前記加算手段の出力を減算する第 2 の差分手段と、

前記第 2 の差分手段の出力が正のときには前記第 1 の差分手段の出力をそのままクロック位相誤差信号として出力し、前記第 2 の差分手段の出力が負のときには前記第 1 の差分手段の出力を反転させてクロック位相誤差信号として出力する第 1 の符号反転手段とを具備することを特徴とする請求項 1 記載のクロック再生装置。

【請求項 3】 前記位相誤差検出手段は、

前記加算手段の出力を 1 クロック時間遅延させる第 3 の遅延手段と、

前記第 3 の遅延手段の出力から前記加算手段の出力を減算する第 3 の差分手段と、

前記第 3 の差分手段の出力を 1 クロック時間遅延させる第 4 の遅延手段と、

前記第 4 の遅延手段の出力を 1 クロック時間遅延させる第 5 の遅延手段と、

前記第 5 の遅延手段の出力から前記第 3 の差分手段の出力を減算する第 4 の差分手段と、

前記第 4 の差分手段の出力が正のときには前記第 4 の遅延手段の出力をそのままクロック位相誤差信号として出

力し、前記第 4 の差分手段の出力が負のときには前記第 4 の遅延手段の出力を反転させてクロック位相誤差信号として出力する第 2 の符号反転手段とを具備することを特徴とする請求項 1 記載のクロック再生装置。

【請求項 4】 前記位相誤差検出手段は、

前記加算手段の出力を 1 クロック時間遅延させる第 6 の遅延手段と、

前記第 6 の遅延手段の出力から前記加算手段の出力を減算する第 5 の差分手段と、

前記第 5 の差分手段の出力を 1 クロック時間遅延させる第 7 の遅延手段と、

前記第 7 の遅延手段の出力から前記第 5 の差分手段の出力を減算する第 6 の差分手段と、

前記第 6 の差分手段の出力を 1 クロック時間遅延させる第 8 の遅延手段と、

前記第 8 の遅延手段の出力を 1 クロック時間遅延させる第 9 の遅延手段と、

前記第 9 の遅延手段の出力から前記第 6 の差分手段の出力を減算する第 7 の差分手段と、

前記第 7 の差分手段の出力が正のときには前記第 8 の遅延手段の出力をそのままクロック位相誤差信号として出力し、前記第 7 の差分手段の出力が負のときには前記第 8 の遅延手段の出力を反転させてクロック位相誤差信号として出力する第 3 の符号反転手段とを具備することを特徴とする請求項 1 記載のクロック再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、放送及び通信の分野で利用されている多値 QAM（直交振幅変調）復調において、データを復調するために必要なタイミングを QAM 信号から抽出するためのクロック再生装置に関する。

【0002】

【従来の技術】近年、高能率符号化技術とデジタル伝送方式の研究が行われている。中でも多値 QAM（直交振幅変調）方式を用いたデジタル TV 放送は、CATV を中心に実用化テストや検討が行われており、将来のデジタル伝送の要と目されている。

【0003】図 8 に、従来の多値 QAM 復調回路を示す。

同期検波回路 101 は、QAM 信号を同期直交検波して I 信号を出力する。同期検波回路 103 は、QAM 信号を同期直交検波して Q 信号を出力する。多値判定回路 111 は、I 信号を受けて多値判定を行い、判定結果を並列データの形で出力する。多値判定回路 113 は、Q 信号を受けて多値判定を行い、判定結果を並列データの形で出力する。並列直列変換回路 115 は、多値判定回路 111 及び 113 から出力される並列データを直列データに変換して、復調データとして出力する。

【0004】また、搬送波再生回路 105 は、同期検波回路 101 及び 103 から出力される I 信号及び Q 信号を受けて、同期検波を行うのに必要な基準搬送波を再生し、再

生した基準搬送波を、同期検波回路101 には直接、同期検波回路103 には $\pi/2$  移相器107 を介して供給する。またクロック再生回路109 は、同期検波回路101 からのI 信号を受けて、再生クロック信号を出力する。

【0005】しかし、ディジタルTV 放送受信時を考えると同期復調の前に波形等化を行うことが一般的であり、その場合復調回路の構成は、図9 のように同期検波回路101 及び103 の前段に波形等化回路117 を配置することになる。

【0006】波形等化回路117 もまたクロック再生回路109 で再生したクロック信号に同期して動作する。波形等化回路117 とクロック再生回路109 の2つを同期検波回路101 及び103 並びに搬送波再生回路105 の前後に配置した場合、波形等化回路117 がQAM 信号の振幅及び位相を変化させるので、クロック再生回路109 は正確にクロック再生できない可能性がある。即ち、波形等化回路117 の出力信号を使ってクロック再生する復調回路の場合には、再生したクロックの位相と復調回路に入力するQAM 信号の位相との間にずれが生じている可能性がある。再生したクロックに位相ずれがあると波形等化回路においても入力信号の正常な波形等化は期待できない。その結果、同期検波回路101 及び103 による同期検波もまた正常に行えなくなる。同期検波が行えないのであれば、クロック再生も出来ない。

【0007】以上のように、従来のクロック再生回路109 は、波形等化を行う場合には正常に動作しなくなるという欠点があった。

【0008】

【発明が解決しようとする課題】従来の復調回路におけるクロック再生回路の配置では波形等化を考えた場合正常に復調出来ない。しかしながら、より良好なディジタル復調を行うためには復調回路に波形等化回路は不可欠である。

【0009】そこで、本発明は、波形等化回路の動作に左右されずにクロック再生を行うクロック再生装置を提供することを目的とする。

【0010】

【課題を解決するための手段】多値QAM 復調のクロック再生装置において、入力QAM 信号を準同期検波してI 軸信号及びQ 軸信号を得る直交検波手段と、前記直交検波手段からのI 軸信号のスペクトルを整形する第1 の低域通過フィルタと、前記直交検波手段からQ 軸信号のスペクトルを整形する第2 の低域通過フィルタと、前記第1 の低域通過フィルタの出力を2 乗する第1 の演算手段と、前記第2 の低域通過フィルタの出力を2 乗する第2 の演算手段と、前記第1 及び第2 の演算手段の出力の和をとってクロック成分を抽出する加算手段と、前記加算手段の出力からクロック位相誤差を検出する位相誤差検出手段と、前記位相誤差検出手段からの出力に応じて発振周波数を変化させるクロック発振手段とを具備す

る。

【0011】

【作用】波形等化回路及び位相同期回路に入力される以前に、入力QAM 信号は直交検波手段によって準同期検波されI 信号とQ 信号となる。これらI 信号とQ 信号は、それぞれ第1 と第2 の低域通過フィルタでスペクトルが整形される。第1 と第2 の低域通過フィルタの出力は、それぞれ第1 と第2 の演算手段で2 乗される。

【0012】加算手段は、第1 と第2 の演算手段の出力を加算してクロック成分を抽出する。位相誤差検出手段は、加算手段の出力からクロック位相誤差を検出する。クロック発振手段は、この位相誤差検出手段からのクロック位相誤差に応じて発振周波数を変化し、クロック信号を生成する。

【0013】クロック再生装置は、波形等化回路の出力に依存しないので、波形等化回路の動作に影響されない安定したクロックを再生することが出来る。

【0014】

【実施例】まず初めに、本発明のクロック再生装置を用いた復調回路を、図2 に示す。入力QAM 信号は、アナログディジタル(A/D) 変換器1 でサンプリングされディジタル信号に変換される。第1 の乗算器3 は、局部発振器7 が発生する周波数を持つ検波信号によりディジタル信号を準同期検波してI 信号を得る。第2 の乗算器5 は、 $\pi/2$  移相器9 を介して供給される局部発振器7 からの検波信号によりディジタル信号を準同期検波してQ 信号を得る。I 信号及びQ 信号は、それぞれ第3 の低域通過フィルタ(LPF) 33 及び第4 の低域通過フィルタ(LPF) 35 によりそれらの低域成分が抽出される。波形等化回路37 は、第1 及び第2 の低域通過フィルタ33 及び35 の出力の波形等化を行う。位相同期回路39 は、波形等化回路37 の出力を位相同期し復調信号を得る。

【0015】次に、本発明のクロック再生装置の構成を、図1 に基づいて説明する。このクロック再生装置は、図2 の復調回路の一部を構成要素として使用する。入力QAM 信号は、A/D 変換器1 においてクロック発振器25 からのクロックのタイミングでサンプリングされ、ディジタル信号に変換される。第1 の乗算器3 は、局部発振器7 が発生する周波数( $f + \Delta f$ ) を持つ検波信号により、ディジタル信号を準同期検波してI 信号を得る。第2 の乗算器5 は、 $\pi/2$  移相器9 を介して供給される局部発振器7 からの検波信号により、ディジタル信号を準同期検波してQ 信号を得る。このように、第1 と第2 の乗算器3 及び5 に供給される検波信号は、周波数の位相が $\pi/2$  ずれているので、QAM 信号は直交検波されることになる。第1 の低域通過フィルタ(LPF) 11 は、第1 の乗算器3 からのI 信号から高周波成分を除去する。第2 の低域通過フィルタ(LPF) 15 は、第2 の乗算器5 からのQ 信号から高周波成分を除去す

る。

【0016】上述した直交検波とフィルタの動作を、図3を使って説明する。図3(a)は、入力QAM信号が、A/D変換器1によってサンプリングされた直後の信号に見られるパワースペクトル例である。スペクトル43は、サンプリングによって発生したスペクトル41の折り返し成分である。スペクトル41は搬送波周波数 $f_c$ の周りに分布しており、スペクトル43はサンプリングレートを $f_s$ としたとき $f_s/2$ を中心にスペクトル41と対称である。それぞれのスペクトルはほぼクロック周波数 $f_c$ の幅を持って広がっている。

【0017】第1及び第2の乗算器3及び5は、局部発振器7が発生する( $f_c + \Delta f$ )の周波数によってこの信号を準同期直交検波する。この結果、信号全体のパワースペクトルは図3(b)に示すようになる。準同期直交検波前に周波数 $f_c$ の付近にあったスペクトル41は直流付近に周波数移動され、スペクトル45で示したように分布する。それと共に図3(a)のスペクトル43も47の位置まで移動し、全体は図3(b)に45及び47で示されたスペクトル分布となる。

【0018】ここで、スペクトル47は、以降の処理の際にクロック成分抽出を妨害するのでこれを取り除く必要がある。そこで、第1及び第2の低域通過フィルタ(LPF)11及び15によってスペクトル47を取り除く。第1及び第2の低域通過フィルタ(LPF)11及び15は、入力QAM信号中のクロック周波数 $f_c$ の半分である $f_c/2$ の周波数を通過帯域内に持ち、かつスペクトル47が阻止帯域内にあるような特性であれば良く、例えば図5(c)に示した遮断周波数 $f_c$ の低域通過特性を持ったフィルタである。

【0019】第1の低域通過フィルタ11の出力は、第1の2乗演算器13によって2乗される。第2の低域通過フィルタ15の出力は、第2の2乗演算器17によって2乗される。加算器19は、第1及び第2の2乗演算器13及び17の出力を加算して、クロック周波数 $f_c$ を抽出する。

【0020】位相誤差検出回路21は、加算器19の出力からサンプリング時のクロック周波数ずれ及び位相ずれに見合った誤差を検出する。D/A変換器23は、位相誤差検出回路21からの誤差の量をアナログ信号の強度に置き換える。クロック発振器25は、D/A変換器23の出力を受け、その信号強度に見合っただけ発振周波数 $f_c$ を変化させる。このクロック発振器25からのクロックが、A/D変換器1のサンプリングクロックとなると共に、システムクロックとなる。このようにフィードバックループを構成して発振周波数を変化させることで、入力QAM信号のクロック周波数とクロック発振器25の発振周波数が同期し、クロック再生を行うことが出来る。

【0021】尚、図2のクロック抽出回路は、図1の第1及び第2の低域通過フィルタ11及び15、第1及び第2の2乗演算器13及び17、加算器19と位相誤差検出回路21

からなる。

【0022】図4に、位相誤差検出回路21の第1の具体例を示す。信号51は、図1の加算器19の出力である。入力51は、第1の遅延回路53によって1クロック時間遅延され、さらに第2の遅延回路55によって1クロック時間遅延される。加算平均回路57は、入力信号51と第2の遅延回路55の出力の間の加算平均を演算する。第1の差分器59は、第1の遅延回路53の出力から加算平均回路57の出力を減算する。第2の差分器61は、第2の遅延回路55の出力から入力信号51を減算する。第1の符号反転回路63は、第2の差分器61の出力が正のときには第1の差分器59の出力をそのまま出力し、第2の差分器61の出力が負のときには第1の差分器59の出力を反転させて出力し、クロック位相誤差信号とする。

【0023】図4に示した位相誤差検出回路の動作を図5を用いて説明する。図5(a)は、入力QAM信号に対してA/D変換器1のサンプリング周波数が高い場合の例である。図中に△印で示したタイミングが、入力QAM信号に同期したサンプリング・タイミングであり、×印で示したタイミングが実際にサンプリングされたタイミングである。位相誤差検出回路21は、入力サンプル値を第1及び第2の遅延回路53及び54によって値を保持することが出来、この値は入力順にA、B、Cである。

【0024】位相誤差検出回路21は、加算平均回路57でAとCの加算平均をとる。この加算平均値の値を線分65で示す。このときBの値と加算平均値65に差があり、その差 $\Delta\phi$ が第1の差分器59の出力となる。ここで、図から分かるように再生クロック周波数が高く、かつ $A < C$ の時は $\Delta\phi$ が負となる。ここで、同じ条件でも $A > C$ の時には $\Delta\phi$ が正となる。これは、 $A > C$ となった状態が、例えば図5(a)を幾何学的に上下入れ換えた状態と等化であることから明らかである。そこで、AとCの大小に関係なく同符号の誤差を出力するために第2の差分器61によって $A - C$ の正/負を見、これに伴ない第1の符号反転回路63によって $\Delta\phi$ の符号を反転させている。つまり、例えば $A - C > 0$ のときに $\Delta\phi$ そのままを第1の符号反転回路63の出力とするなら、 $A - C < 0$ のときには $\Delta\phi$ の符号を反転させた $-\Delta\phi$ を第1の符号反転回路63の出力とする。

【0025】また、図5(b)は入力QAM信号に対してA/D変換器1のサンプリング周波数が低い場合の例である。同図(a)と同じく、△印が入力QAM信号に同期したサンプリング・タイミングを示し、×印が実際にサンプリングされたタイミングを示す。位相誤差検出回路21は、入力サンプル値を第1及び第2の遅延回路53及び54によって値を保持することが出来、この値は入力順にA、B、Cである。

【0026】加算平均回路27によって、AとCの加算平均を求める。この加算平均値の値を線分67で示す。加算平均値67とサンプル値Bの値には差があり、これは $\Delta\phi$

で示されるように図 5 ( a ) とは逆の符号を持って現れる。このように、再生クロック波形数が高い場合と低い場合とで  $\Delta \phi$  の符号が逆転することから、位相誤差検出回路 21 の出力は再生クロックのクロック周波数ずれ及び位相ずれを反映している。

【 0 0 2 7 】第 1 の差分器 59 の出力は、図 5 ( a ) を説明した場合と同様に、第 2 の差分器 61 によって  $A - C$  の正／負を見、これに伴ない第 1 の符号反転回路 63 によって  $\Delta \phi$  の符号を補正し、位相誤差検出回路 21 の出力とする。

【 0 0 2 8 】図 6 に、位相誤差検出回路 21 の第 2 の具体例を示す。信号 71 は、図 1 の加算器 19 の出力である。入力信号 71 は、第 3 の遅延回路 73 によって 1 クロック時間遅延される。第 3 の差分器 75 は、第 3 の遅延回路 73 の出力から入力信号 71 を減算する。第 4 の遅延回路 77 は、第 3 の差分器 75 の出力を 1 クロック時間遅延させる。第 4 の差分器 79 は、第 4 の遅延回路 77 の出力から第 3 の差分器 75 の出力を減算する。第 5 の遅延回路 83 は、第 4 の差分器 79 の出力を 1 クロック時間遅延させる。第 6 の遅延回路 85 は、第 5 の遅延回路 83 の出力を 1 クロック時間遅延させる。第 5 の差分器 87 は、第 6 の遅延回路 85 の出力から第 4 の差分器 79 の出力を減算する。第 2 の符号反転回路 89 は、第 5 の差分器 87 の出力が正のときには第 5 の遅延回路 83 の出力 B をそのまま出力し、第 5 の差分器 87 の出力が負のときには第 5 の遅延回路 83 の出力 B の出力を反転させて出力し、クロック位相誤差信号とする。

【 0 0 2 9 】図 6 に示した位相誤差検出回路の動作を図 7 を用いて説明する。クロック成分である入力信号 71 の波形は図 7 ( a ) であり、サンプル周期が入力信号 71 の周期の 4 分の 1 であるようにサンプルした値を黒点で示す。第 3 の差分器 75 の出力の波形は、図 7 ( b ) である。更に、第 4 の差分器 79 の出力の波形は、図 7 ( c ) である。このようにサンプル値の差分を 2 回とることによって、再生クロックが入力 Q A M 信号に位相同期したときのサンプリングのタイミングと入力 Q A M 信号のシンボルタイミングを一致させることが出来る。第 5 と第 6 の遅延回路 83, 85 によって差分波形上のサンプル値 A, B, C を保持し、B の値を位相誤差として出力するが、第 2 の符号反転回路 89 は、第 5 の差分器 87 の出力が負のときには B の符号を反転する。

【 0 0 3 0 】つまり、図 7 ( c ) に示したように値 A, B, C が  $A < C$  のときには、第 2 の符号反転回路 89 は B の値をそのまま出力するが、 $A > C$  のときには符号を反転して  $-B$  として出力する。これは、前述したようにクロック周波数ずれまたは位相ずれが分からなくても、位相誤差検出回路 21 に入力するサンプル値によって逆符号の位相誤差が出力されるのを防ぐために必要である。また符号反転以外に、A と C が同符号或いは同値の時にはゼロを出力するという条件を付加しても良い。

【 0 0 3 1 】更に、本発明のクロック再生回路が適用される復調回路が図 2 に示したように波形等化回路 37 を具備していることを考えると、A / D 変換器 1 で入力 Q A M 信号をサンプリングした際に発生するサンプリングの位相誤差を波形等化回路 37 が補償することも考えられる。このとき、図 6 の点線 81 で囲んだ第 4 の遅延回路 77 及び第 4 の差分器 79 の部分を取り去り、第 3 の差分器 75 の出力を第 5 の遅延回路 83 と第 5 の差分器 87 に供給することも考えられる。このとき発生する再生クロックによるサンプリングのタイミングと入力 Q A M 信号のシンボルタイミングの位相誤差は、波形等化回路 37 によって除去する。

【 0 0 3 2 】

【発明の効果】以上、本発明によれば位相同期処理以前の信号からクロック再生を行うので、位相同期回路または波形等化回路の出力の影響を受けることが無い安定したクロック再生を行うことが出来る。

【図面の簡単な説明】

【図 1】本発明のクロック再生装置を示す図である。

【図 2】本発明のクロック再生装置を用いた多値 Q A M 復調回路を示す図である。

【図 3】本発明のクロック再生装置の動作を説明するための波形図である。

【図 4】本発明のクロック再生装置の位相誤差検出回路の第 1 の具体例である。

【図 5】図 4 の位相誤差検出回路の動作を説明するための波形図である。

【図 6】本発明のクロック再生装置の位相誤差検出回路の第 2 の具体例である。

【図 7】図 6 の位相誤差検出回路の動作を説明するための波形図である。

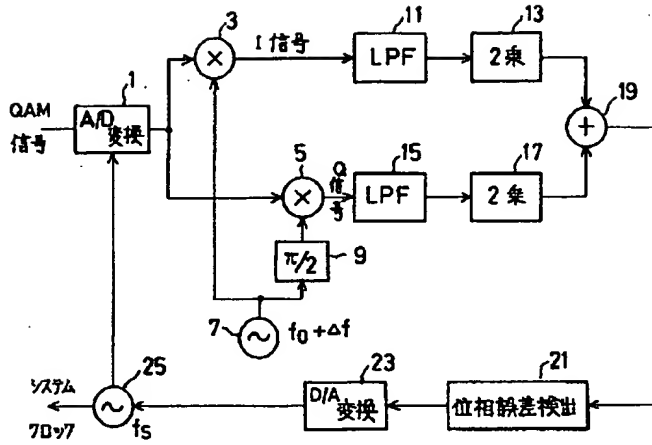
【図 8】従来の多値 Q A M 復調回路を示す図である。

【図 9】従来の多値 Q A M 復調回路を示す図である。

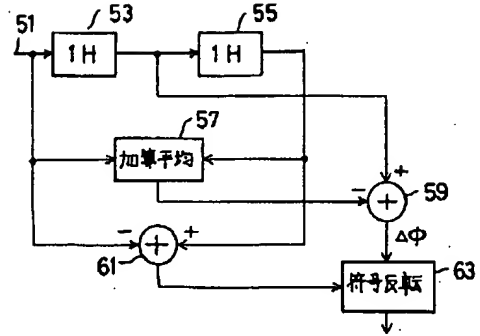
【符号の説明】

1…アナログーデジタル ( A / D ) 変換器、3…第 1 の乗算器、5…第 2 の乗算器、7…局部発振器、9… $\pi / 2$  移相器、11…第 1 の低域通過フィルタ ( L P F )、13…第 1 の 2 乗演算器、15…第 2 の低域通過フィルタ ( L P F )、17…第 2 の 2 乗演算器、19…加算器、21…位相誤差検出回路、23…デジタルーアナログ ( D / A ) 変換器、25…クロック発振器、31…クロック抽出回路、33…第 3 の低域通過フィルタ ( L P F )、35…第 4 の低域通過フィルタ ( L P F )、37…波形等化回路、39…位相同期回路、53…第 1 の遅延回路、55…第 2 の遅延回路、57…加算平均回路、59…第 1 の差分器、61…第 2 の差分器、63…第 1 の符号反転回路、73…第 3 の遅延回路、75…第 3 の差分器、77…第 4 の遅延回路、79…第 4 の差分器、83…第 5 の遅延回路、85…第 6 の遅延回路、87…第 5 の差分器、89…第 2 の符号反転回路。

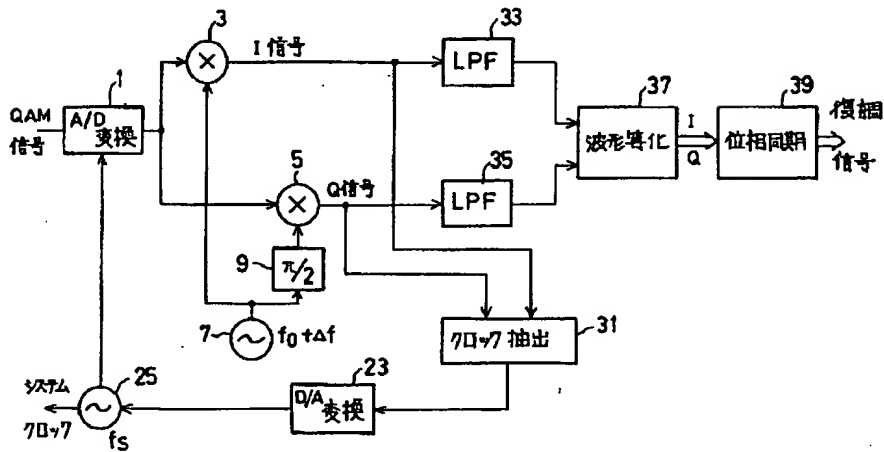
【図 1】



【図 4】

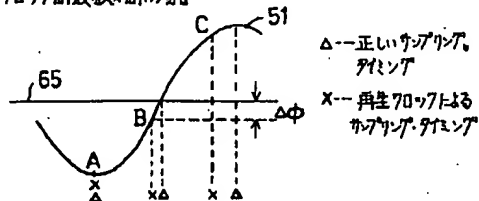


【図 2】

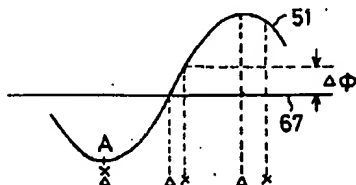


【図 5】

(a) 再生クロック周波数の高い場合

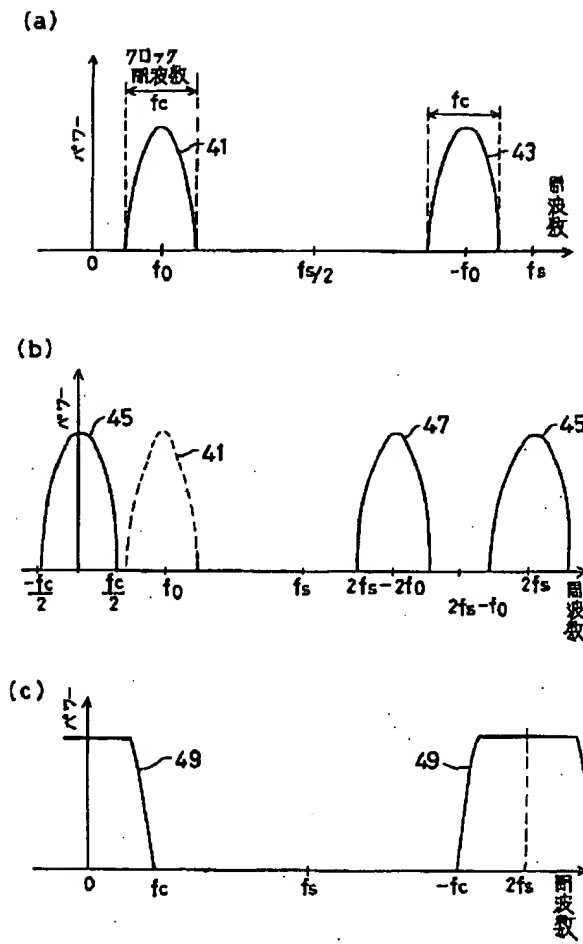


(b) 再生クロック周波数の低い場合

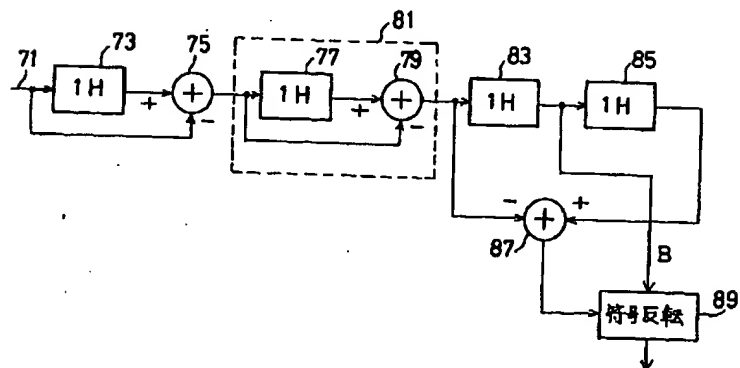




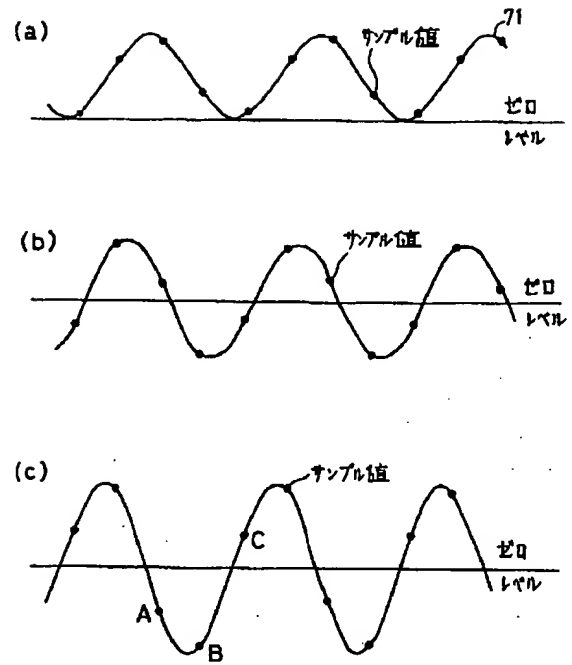
【図 3】



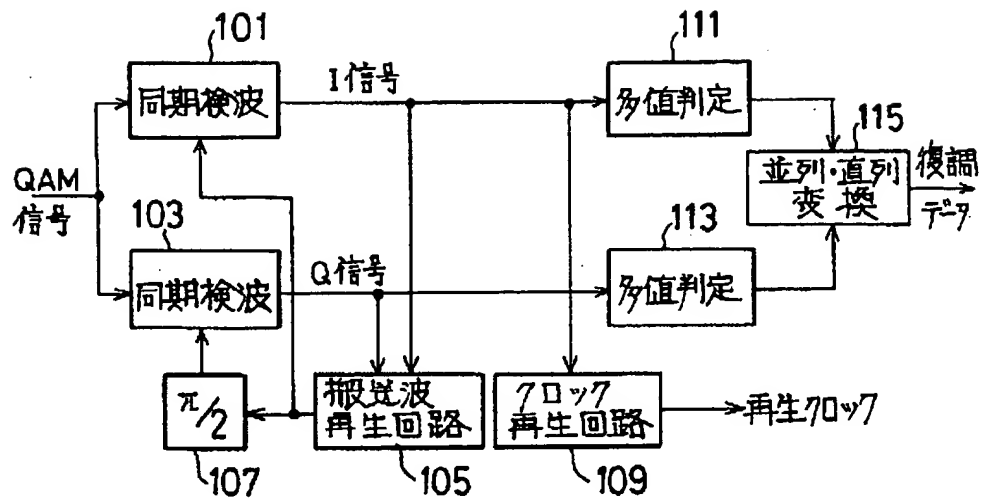
【図 6】



【図 7】



【図 8】



【図 9】

